

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-315345
 (43)Date of publication of application : 26.11.1993

(51)Int.CI.

H01L 21/331
H01L 29/73

(21)Application number : 04-118822
 (22)Date of filing : 12.05.1992

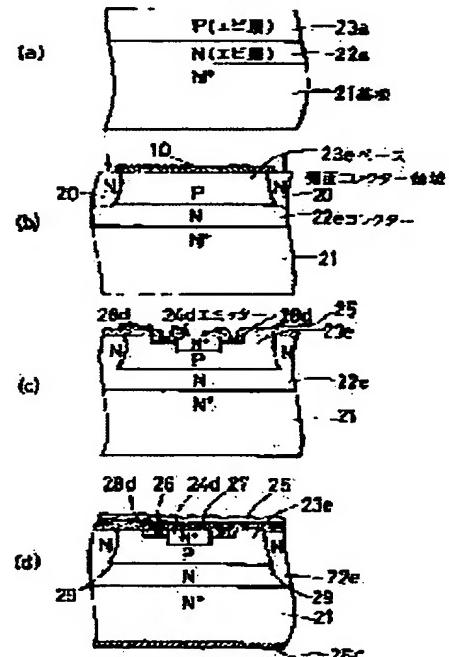
(71)Applicant : ROHM CO LTD
 (72)Inventor : KUDO KOICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To easily manufacture a compact semiconductor device having a large ASO and an improved withstand voltage in a high yield without using high temperature long time diffusion.

CONSTITUTION: Epitaxial layers 22a and 23a are formed on a substrate 21 composed of high concentration n-type semiconductor. N-type impurity is diffused from the surface of the second epitaxial layer 23a to the epitaxial layer 22a with part of the epitaxial layer 23a masked with an oxide film 10; the masked part of the second epitaxial layer 23a is thus isolated. A base 23e is formed through the isolation; a collector 22e is composed of the epitaxial layer 22a and side collector regions 20 formed through the diffusion. This provides an n-p-n transistor.



LEGAL STATUS

[Date of request for examination] 15.07.1998

[Date of sending the examiner's decision of rejection] 07.11.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315345

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵
H 01 L 21/331
29/73

識別記号

府内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/ 72

審査請求 未請求 請求項の数 8(全 9 頁)

(21)出願番号 特願平4-118822

(22)出願日 平成4年(1992)5月12日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 工藤 興一

京都市右京区西院溝崎町21番地 ローム株式会社内

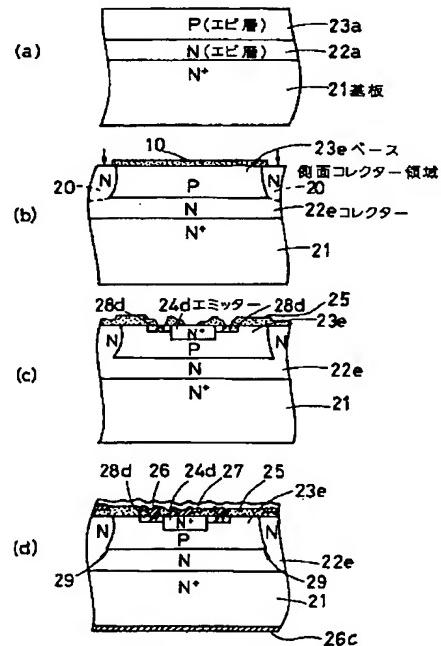
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】コンパクトで、ASOが大きく高耐圧化が図られた半導体装置を高温・長時間拡散を行うことなく高い生産性で容易に製造する。

【構成】高濃度のN形半導体から成る基板21上に、エビ層22a及びエビ層23aを形成する。エビ層23aの一部に酸化膜10をマスクとして、第2エビ層22aが孤立化するように、エビ層23a表面からエビ層22aまでN形不純物を拡散させる。孤立化によりベース23eが形成され、エビ層22a及び拡散により形成される側面コレクター領域20からコレクター22eが形成され、NPN構造トランジスターとなる。



1

【特許請求の範囲】

【請求項1】高濃度のP形半導体又はN形半導体から成る基板と、該基板上に基板と同一の導電形の半導体で形成された第1半導体活性層と、該第1半導体活性層上に第1半導体活性層と反対の導電形の半導体で形成された第2半導体活性層と、該第2半導体活性層上の一
部に第2半導体活性層と反対の導電形の半導体で形成された第3半導体活性層と、を備えた半導体装置において、前記第2半導体活性層に前記第1半導体活性層と同一の導電形の不純物が導入されることにより、前記第2半導体活性層が孤立化するよう
に第1半導体活性層の領域が拡大され、かつ、該拡大された領域を除く第1半導体活性層の領域と第2半導体活性層との接合面が平面状を成していることを特徴とする半導体装置。

【請求項2】前記第1半導体活性層及び第2半導体活性層がエピタキシャル層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第2半導体活性層中、表面の一部又は全面の不純物濃度が高くなっていることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記第2半導体活性層の不純物濃度が前記第1半導体活性層の不純物濃度と同じ程度か又はそれよりも小さくなっていることを特徴とする請求項1に記載の半導体装置。

【請求項5】前記第2半導体活性層の厚さが前記第1半導体活性層の厚さと同じ程度か又はそれよりも大きくなっていることを特徴とする請求項1に記載の半導体装置。

【請求項6】第2半導体活性層の縦横の長さが同じ程度に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項7】高濃度のP形半導体又はN形半導体から成る基板上に、該基板と同一の導電形を有する半導体から成る第1エピタキシャル層を形成し、

該第1エピタキシャル層上に、第1エピタキシャル層と反対の導電形を有する半導体から成る第2エピタキシャル層を形成し、

該第2エピタキシャル層の一部に、第2エピタキシャル層の表面から、第2エピタキシャル層を構成する半導体と反対の導電形の不純物を導入することにより、NPN構造又はPNP構造を形成する半導体装置の製造方法において、

前記第1エピタキシャル層を構成する半導体と同一の導電形の不純物を、前記第2エピタキシャル層が孤立化するよう、前記第2エピタキシャル層表面から第1エピタキシャル層まで拡散させることを特徴とする半導体装置の製造方法。

【請求項8】前記第1エピタキシャル層を形成した後、

2

該第1エピタキシャル層を構成する半導体と同一の導電形の不純物を導入することにより、第1エピタキシャル層表面の所定位置に高濃度領域を形成し、該高濃度領域からの不純物拡散を行うことにより、前記第2エピタキシャル層からの不純物拡散が行われる部分に向けて前記第1エピタキシャル層の領域を拡大することを特徴とする請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関するものであり、更に詳しくは、IC構造化が可能なトランジスター等のディスクリートデバイスとしての半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来より知られているトランジスター構造としては、図8に示すようなブレーナ型トランジスター構造(NPN形)や図9に示すようなメサ型トランジスター構造(NPN形)等がある。いずれの構造も、N⁺型半導体から成る基板11上に、N形半導体から成るコレクター12eがエピタキシャル成長等により形成されている。

【0003】図9に示すメサ型構造中のベース13eもエピタキシャル成長により形成された層(以下「エピ層」ともいう)から成っているが、図8に示すブレーナ型構造中のベース13dは、コレクター12eにP形不純物を拡散させることにより形成された層(以下「拡散層」ともいう)から成っている。

【0004】そして、いずれの構造においても、ベース

30 13d, 13e中にN形不純物の拡散によりエミッター14dが形成され、酸化シリコンから成る絶縁膜15及びアルミ電極16がエミッター14d及びベース13d, 13eにそれぞれ形成される。尚、ベース13d, 13eの不純物濃度は低い(10^{15} ~ 10^{17} 個/cm³)ので、アルミ電極16とベース13eとのオーミックコンタクトをとるのは困難であり、またベース13e表面の反転を防止する必要もある。そのため、一般に行われて
いるように、ベース13d, 13eの電極16に接触する部分には、不純物濃度の高い(10^{19} ~ 10^{20} 個/cm³)40 P⁺層から成る反転防止層18dが、P形不純物の拡散により形成されている。また、前記ベース13dは、拡散層であるから、表面(約 10^{18} 個/cm³)からコレクターとの接合面(10^{15} ~ 10^{16} 個/cm³)まで連続的に変化する。

【0005】ブレーナ型の場合、図8に示すようにバッシベーション膜17が形成され、コレクター電極16cが基板11の裏面に取り付けられる。メサ型構造の場合も、コレクター電極16cは裏面から取り付ける。また、エピ層の両側は削り取られ、この面は図9に示すように絶縁膜で覆われ、リークの発生が防止されている。

【0006】

【発明が解決しようとする課題】上記プレーナ型構造(図8)においては、製造は比較的容易であるが、安全動作領域(以下「ASO」という)等の特性が高電圧・高電流領域で劣るといった問題がある。また、耐圧が低く、パワーデバイスの高耐圧化を図ることが難しいといった問題もある。

【0007】このような問題が生じるのは、コレクター12eとベース13dにより形成される曲率半径の小さい境界部分19が、エミッター14dから比較的近くに位置し、この境界部分19において電流集中が起こるからである。不純物拡散をより深くまで行うことによってベース13d領域を拡大すれば、境界部分19の曲率半径が大きくなり、しかも境界部分19がエミッター14dから遠ざかることになるので、電流集中を防ぐことができる。

【0008】しかし、ベース13d領域の拡大には、高温・長時間の拡散が必要となるので、製造コストが高くなるといった問題が生じる。また、ベース13d領域の拡大に伴って、チップサイズが大きくなってしまうといった問題も生じる。尚、ベース13dの曲率半径を大きくしても、プレーナ型構造では図9に示すメサ型構造のように完全に平面状にはならないことが上記ASO等の特性改善の限界となっているのである。

【0009】一方、上記メサ型構造(図9)の場合、ベース13eはエビ層で構成されているため、エミッター14dの近くに曲率半径の小さい部分がなく、コレクター12eとの接合面が平面状になっている。その結果、電流集中が生じなくなるため、ASO、耐圧等の特性に関してはプレーナ型に比べて優れているといえる。しかし、ベース13e等の一部(図の左右部分)を削り取る必要があるため、製造が困難で歩留まりが悪い。その結果、製造コストが高くなるといった問題がある。

【0010】本発明はこれらの点に鑑みてなされたものであって、コンパクトで、ASOが大きく高耐圧化が図られた半導体装置を提供することを目的とする。また、かかる半導体装置を、高温・長時間拡散を行うことなく高い生産性で容易に製造することができる半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため本発明の半導体装置は、高濃度のP形半導体又はN形半導体から成る基板と、該基板上に基板と同一の導電形の半導体で形成された第1半導体活性層と、該第1半導体活性層上に第1半導体活性層と反対の導電形の半導体で形成された第2半導体活性層と、該第2半導体活性層上的一部分に第2半導体活性層と反対の導電形の半導体で形成された第3半導体活性層と、を備えた半導体装置において、前記第2半導体活性層に前記第1半導体活性層と同一の導電形の不純物が導入されることにより、前記

2半導体活性層が孤立化するように第1半導体活性層の領域が拡大され、かつ、該拡大された領域を除く第1半導体活性層の領域と第2半導体活性層との接合面が平面状を成していることを特徴としている。

【0012】前記第1半導体活性層及び第2半導体活性層がエピタキシャル層であるのが好ましい。例えば、前記第1半導体活性層はコレクタであり、第2半導体活性層はベースであり、前記第3半導体活性層はエミッターである。前記第2半導体活性層中、表面の一部又は全面の不純物濃度が高くなった構成とするのが好ましい。前記第2半導体活性層の不純物濃度を前記第1半導体活性層の不純物濃度と同じ程度か又はそれよりも小さくしたり、前記第2半導体活性層の厚さを前記第1半導体活性層の厚さと同じ程度か又はそれよりも大きくしたりするのが好ましい。また、第2半導体活性層の縦横の長さを同じ程度に形成してもよい。

【0013】また、本発明の半導体装置の製造方法は、高濃度のP形半導体又はN形半導体から成る基板上に、該基板と同一の導電形を有する半導体から成る第1エピタキシャル層を形成し、該第1エピタキシャル層上に、第1エピタキシャル層と反対の導電形を有する半導体から成る第2エピタキシャル層を形成し、該第2エピタキシャル層の一部に、第2エピタキシャル層の表面から、第2エピタキシャル層を構成する半導体と反対の導電形の不純物を導入することにより、NPN構造又はPNP構造を形成する半導体装置の製造方法において、前記第1エピタキシャル層を構成する半導体と同一の導電形の不純物を、前記第2エピタキシャル層が孤立化するよう、前記第2エピタキシャル層表面から第1エピタキシャル層まで拡散させることを特徴としている。

【0014】前記第1エピタキシャル層を形成した後、該第1エピタキシャル層を構成する半導体と同一の導電形の不純物を導入することにより、第1エピタキシャル層表面の所定位置に高濃度領域を形成し、該高濃度領域からの不純物拡散を行うことにより、前記第2エピタキシャル層からの不純物拡散が行われる部分に向けて前記第1エピタキシャル層の領域を拡大するのが好ましい。

【0015】例えば、前記第1エピタキシャル層はコレクタであり、第2エピタキシャル層はベースであり、前記第2エピタキシャル層の一部からの拡散層はエミッターである。

【0016】

【作用】本発明の半導体装置の構成によると、前記拡大された領域を除く第1半導体活性層の領域と第2半導体活性層との接合面は平面状を成しているので、かかる接合面においては電流集中が生じない。しかも、この接合面と、拡大された領域によって形成される第1半導体活性層と前記第2半導体活性層との接合面とにより生じる曲率半径の小さい境界部分は、第3半導体活性層から離れるように位置し、かつ、コレクター抵抗が大きい

め、ここでも電流集中は生じない。

【0017】本発明の半導体装置の製造方法によると、前記第1エピタキシャル層と第2エピタキシャル層とは、いずれもエピタキシャル成長により形成されたものであるので、その接合部も平面状を成すことになる。

【0018】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1実施例であるトランジスター構造(NPN形)の半導体装置の製造工程を示す図である。

【0019】本実施例の製造方法では、まず高濃度のN形半導体(N^+)から成る基板21の上に、N形半導体から成るエピ層22aを形成し、エピ層22aの上に、P形半導体から成るエピ層23aを形成する(図1(a))。

【0020】次に、このエピ層23a上に、フォトリソグラフィにより所定形状の酸化膜10を形成する(図1(b))。そして、酸化膜10をマスクとして、N形不純物をエピ層23a表面からエピ層22aまで拡散し、側面コレクター領域20を形成する。形成された側面コレクター領域20とエピ層22aとが一体となってコレクター22eとなり、孤立化されたエピ層23aがベース23eとなって、ブレーナ型エピタキシャルベース構造となる。

【0021】エピ層22a(同図(a))を構成する半導体と同一の導電形の不純物が導入されることにより、ベース23eが孤立化するようにコレクター22eの領域が拡大され、かつ、拡大された領域を除くコレクター22eの領域とベース23eとの接合面が平面状を成す構造となるのである(同図(b))。

【0022】本実施例ではメサ型の長所を生かしたブレーナ構造とするため、エピ層23aの表面からN形不純物の拡散を施して側面コレクター領域20を形成し、ベースとコレクター間の接合をメサの場合の表面から本実施例のように内側に移動させ、形成したものである。コレクター電極26cは、メサも本実施例の場合も裏面に形成される。

【0023】次に、前記拡散時に同時に形成された酸化膜を用いて、再びフォトリソグラフィによって形成した酸化膜(図示せず)をマスクとしてN型拡散及びP型拡散を別々に行うことにより、図1(c)に示すようにエミッター24d及び反転防止層28dを形成する。尚、反転防止層(P^+)28dのマスクとしては、エミッター(N^+)24d形成時に生じる酸化膜を用いる。そして、拡散時に生じた酸化膜に穴を開け、電極形成のための絶縁膜25とする。

【0024】エミッター24dは、ベース23eを構成する半導体と反対の導電形の半導体から成る。また、反転防止層28dは、従来例(図8及び図9)における反転防止層18dと同様に、オーミックコンタクト及び反転防止のために設けられたものである。ここで、エミッタ

ー24dと反転防止層28dとが横に接触するように形成されているのは、エミッター24dとベース23eとの間の耐圧を調整することにより、BVEBOの規格を満足させるためである。つまり、エミッター24dの表面から基板21側に向けた(表面からの深さ x_{ij} に対する)不純物濃度分布を示す図4から分かるように、エピ層から成るベース23eと、拡散層から成るエミッター24dとの濃度の差が、拡散層から成るベース13d(図8)と比べて大きすぎるため、反転防止層28dを図1(c)に示すように位置させるのが、BVEBOの調整に有効なのである。

【0025】最後に、図1(d)に示すように、アルミ電極26、バッシベーション膜27及びウェーハ裏面にコレクター電極26cを従来例(図8、図9)と同様に形成する。得られた半導体装置は、ベース23e上面側から側面コレクター拡散されたエピタキシャルベース構造のトランジスター構造(NPN形)をとる。

【0026】本実施例では、ベース23eの底面(基板21側のコレクター22eとの接合面)が平面状になっているので、電流集中が起らしない。つまり、高温・長時間の拡散処理を行うことなくベース23eの曲率半径を最大化(無限大)するために、図1(a)において2層エピタキシャル構造を採用しているのである。また、曲率半径の小さい境界部分29がエミッター24dから離れて位置するため、その間の抵抗が大きくなり、その結果、境界部分29での電流集中も起らない。電流集中が起らないので、耐圧及びASOが向上するのである。

【0027】図2は本発明の第2実施例の製造工程を示す図である。本実施例の製造方法では、まず図2(a)に示すように、高濃度のN形半導体(N^+)から成る基板31の上に、N形半導体から成るエピ層32aを形成する。そして、エピ層32aを構成する半導体と同一の導電形のN形不純物を、エピ層32a表面から拡散させることにより、エピ層32a表面の所定位置に高濃度領域32bを形成する。次に、エピ層32a及び高濃度領域32bの上に、P形半導体から成るエピ層33aを形成する。

【0028】次に、このエピ層33a上に、フォトリソグラフィにより所定形状の酸化膜30を形成する(図2(b))。そして、酸化膜30をマスクとして、N形不純物をエピ層33a表面側から拡散させ、側面コレクター領域30aを形成する。

【0029】一方、前記側面コレクター領域30aの形成に際する加熱により、エピ層32a中に予め埋め込まれた高濃度領域32bからエピ層33aに対し、N形不純物が拡散される。高濃度領域32bからの不純物拡散により、エピ層33aからの不純物拡散が行われる部分(側面コレクター領域30a)に向けてエピ層32a領域が拡大される。形成された側面コレクター領域30a及

び30bとエビ層32a(同図(a))とが一体となってコレクター32eとなる。これにより、孤立化されたエビ層33aがベース33eとなる。

【0030】エビ層32a(同図(a))を構成する半導体と同一の導電形の不純物が導入され、かつ、高濃度領域32bから不純物が拡散されることにより、ベース33eが孤立化するようにコレクター32eの領域が拡大され、かつ、拡大された領域を除くコレクター32eの領域とベース33eとの接合面が平面状を成す構造となるのである(同図(b))。

【0031】従来のメサ型及び本実施例の場合も、共にコレクター電極36cはウェーハ裏面の金属薄膜を介して、裏面に形成される。

【0032】次に、前記拡散中に酸化膜30上及びウェーハ表面に同時形成された酸化膜を用いて、再びフォトリソグラフィによって形成した酸化膜(図示せず)をマスクとしてP型及びN型の不純物拡散を順次行うことにより、図2(c)に示すようにエミッター34d及び反転防止層38dを形成する。尚、反転防止層(P⁺)38dのマスクとしては、エミッター(N⁺)34d形成時に生じる酸化膜を用いる。そして、拡散時に生じた酸化膜に穴を開け、電極形成のための絶縁膜35とする。

【0033】エミッター34dは、ベース33eを構成する半導体と反対の導電形の半導体から成る。また、反転防止層38dは、第1実施例における反転防止層28dと同様の役割をする(図1(c))。

【0034】最後に、図2(d)に示すように、アルミ電極36、バッシベーション膜37及び裏面コレクター電極36cを第1実施例と同様に形成する。得られた半導体装置は、ベース33e上面側とコレクター層32e上面側との両方から側面コレクタを同時拡散した構造(NPN形)をとっている。

【0035】本実施例においても、前記第1実施例と同様に、ベース33eの底面(基板31側のコレクター32eとの接合面)が平面状になっているので、電流集中が起こらない。また、曲率半径の小さい境界部分39が前記第1実施例より増えた構造となるが、この点ではコレクター抵抗が大きくなり、その結果、境界部分39での電流集中も起こらない。電流集中が起こらないので、耐圧及びASOが向上するのである。

【0036】また、ベース領域に関しては、上記第1実施例及び第2実施例の場合、ベース23e、33eはエビ層23a、33aから形成されているが、NPN型の場合、N/N⁺エビ層中に、P形不純物を全面拡散し、その後、側面コレクタを前記第1実施例、第2実施例と同様に拡散しても、同様の構造を作ることができる。

【0037】図3は、本発明の第3実施例の断面構造を示す図である。本実施例の製造方法は、図1(a)に示すエビ層22aの厚さに対するエビ層23aの厚さの比率を大きくし、エビ層22aの不純物濃度に対するエビ層

23aの不純物濃度の比率を小さくしたほかは、前記第1実施例の製造方法と同様の製造方法から成っている。得られた半導体装置は、前記比率の相違により、ベース43eに対するコレクター42eの不純物濃度の比率がより高く、コレクター42eに対するベース43eの厚さの比率がより厚くなっているほかは、図1(d)に示す第1実施例と同様の構成をとっている。図3中、40は側面コレクター領域、41は基板、44dはエミッター、45は絶縁膜、46はアルミ電極、47はバッシベーション膜、48dは反転防止及びオームックコンタクト層で、ウェーハ裏面にはコレクター電極46cがある。

【0038】図5に本実施例(破線)及び前記第1実施例(実線)における表面からの深さx_jcに対する不純物濃度分布を示す。尚、エミッター24d、44dは、同一の不純物濃度分布となっている。同図に示すように、本実施例は第1実施例と比べてベース43eの不純物濃度が低くなっている。その結果、ベース43eの不純物濃度がコレクター42eの不純物濃度よりも低くなっている。ベース領域では耐圧を維持しつつベース濃度を下げ、かつ、コレクター濃度を上げることによって、コレクター抵抗を下げ、Satを小さくすること(Low Sat化)ができる。コレクターのLow Sat化は、コレクター消費電圧(V_{CSAT})及び最大コレクター電流(I_{max})の改善に効果がある。

【0039】また、ベースの不純物濃度が薄いと電流増幅率hfe(β)は高くなるため、ベース43eの不純物濃度がコレクター42eの不純物濃度よりも低い本実施例の構成によると、High-β化を図ることができる。

【0040】また、電流増幅率hfeは、通常のベース不純物拡散においては、特にエミッター44dに近い部分におけるベース43eの不純物濃度によって大きな影響を受ける。従来例のようにベース13d(図8)を拡散により形成した場合、図4に示すように濃度が深さにより変化するのでhfeを決めていく。しかし、本実施例ではベース43eがエビ層ゆえ、濃度は深さx_jcにかかわらず一定である。従って、x_jcのズレによる影響を受けにくく、その分hfeを決め易いといったメリットがある。

【0041】一方、図3及び図5に示すように、コレクター42eの厚さW_cに対するベース43eの厚さW_bは、先に述べたように第1実施例より厚くなっている。従って、このようにベースとコレクターの厚さ及び比抵抗の関係を逆転させれば、ある条件下において、同じ耐圧でコレクター42eの抵抗を小さくすることができ、その結果、Low Sat化を図ることができる。よって、V_{CSAT}及びI_{max}の改善に効果がある。

【0042】本実施例では、ベース43eの不純物濃度を通常拡散をした場合の表面濃度の1/100~1/1000まで下げることが可能であるため、ベース43eの濃度でβは殆ど決定されることになる。従って、エビタキシャル

工程によって、ベース43eとコレクター42eの濃度及び厚さを必要に応じて最適に制御することにより、強いA S O、高耐圧化、大電流化及びコレクタ抵抗の大大幅な低減によるLow sat化のみならず、High- β 化や同一特性比でのチップの縮小化を図ることも可能である。

【0043】尚、前記第2実施例についても第3実施例と同様に、不純物濃度及び厚さを調整することによって、コレクター32eに対するベース33eの不純物濃度の比率と同じ程度か又はそれよりも低くし、コレクター32eに対するベース33eの厚さの比率をより厚くすることにより、第3実施例と同様の効果が得ることができる。

【0044】また、実施例1、2において、ベース23e、33eの縦横(深さと幅)の長さが同じ程度になるように、側面コレクター領域20、30a、30bを形成し、パターン構造、拡散寸法等を調整することによって、横方向電流の効率を上げてよりHigh- β 化を図ることができる。

【0045】上記各実施例ではN P N型構造となっているが、本発明はP N P型構造のタイプにも適用できる。

【0046】本発明の第4実施例であるエビタキシャルベースブレーナ構造のトランジスターをI C用いた応用例として、O A機器に適用可能な電源バックアップ回路を図6に示す。本実施例は、P N P構造をとっているほかは前記第1実施例と同様の構成となっている。この回路は、通常、主電源120からの電流を用いているが、例えば停電などで電源が切れて所定の電圧以下になるとカットオフし、補助電源130からRAM110の方へ電流を流して、メモリーが消えないようにするものである。

【0047】従来、このような回路は寄生効果等の原因により1チップ化しにくかったが、本発明にかかる半導体装置を備えた回路(破線で示す部分100)においては寄生トランジスターが生じにくいので、1チップ化が可能である。この回路部分100のI C断面構造を図7に示す。図7中の一点鎖線部分Q1が、I Cの一部として組み込まれたN/P/P+構造のエビベースブレーナ構造である。P層は、コレクターになるとともに、各素子に対してアイソレーションの役割をしている。かかる半導体構造は、他の機能デバイスへの応用も可能であり、単に単体デバイスとしてのみならず、MOS又は他の素子と1チップ化したI C構造として使うこともできるのである。尚、Q2はNチャネルMOSFETであり、Dがダイオードである。

【0048】

【発明の効果】以上説明した通り本発明の半導体装置によれば、前記第2半導体活性層に前記第1半導体活性層と同一の導電形の不純物が導入されることにより、前記第2半導体活性層が孤立化するように第1半導体活性層の領域が拡大され、かつ、該拡大された領域を除く第1

半導体活性層の領域と第2半導体活性層との接合面が平面状を成しているので、コンパクトで、A S Oが大きく高耐圧化が図られた半導体装置を実現することができる。また、対特性比でチップの縮小化が図れる結果、製造コストの低減を図ることが可能である。尚、かかる半導体装置は、製造容易というブレーナ型の長所と、A S Oが大きく耐圧に優れるというメサ型の長所とを併せ持っているので、これを用いたデバイスの特性を大幅に改善することが可能となる。

【0049】前記第2半導体活性層の不純物濃度を前記第1半導体活性層の不純物濃度と同じ程度か又はそれよりも小さくしたり、前記第2半導体活性層の厚さを前記第1半導体活性層の厚さと同じ程度か又はそれよりも大きくしたりすることによって、従来構造のものと比較して対-耐圧比で大幅なコレクタ抵抗の改善を図ることができ、コレクタ抵抗の低減によるLow-Sat化を実現することができる。特に、前記第2半導体活性層の不純物濃度を前記第1半導体活性層の不純物濃度と同じ程度か又はそれよりも小さくすることによって、更に、大電流化、High- β 化を図ることが可能となる。

【0050】また、第2半導体活性層の縦横の長さを同じ程度に形成すれば、横方向電流の効率が上がる所以、High- β 化を効果的に図ることが可能である。

【0051】本発明の半導体装置の製造方法によれば、基板上に形成される層がエビタキシャル層であるため、ベース拡散部の曲率半径を大きくするため高温・長時間拡散を行う必要がなく、また、前記第1エビタキシャル層を構成する半導体と同一の導電形の不純物を、前記第2エビタキシャル層が孤立化するように、前記第2エビタキシャル層表面から第1エビタキシャル層まで拡散させる構成となっているので、ブレーナ構造の前記半導体装置(例えば、大電流パワートランジスター)を、高い生産性で容易に製造することができる。そして、第2エビタキシャル層の形成により、前記接合面を平面になすことができ、かつ、不純物濃度を均質に薄くすることができますため、A S Oが大きく耐圧及びhfe-制御性に優れた半導体装置を製造することができる。

【0052】前記第1エビタキシャル層を形成した後、第1エビタキシャル層を構成する半導体と同一の導電形の不純物を導入することにより、第1エビタキシャル層表面の所定位置に高濃度領域を形成し、高濃度領域からの不純物拡散を行うことにより、前記第2エビタキシャル層からの不純物拡散が行われる部分に向けて前記第1エビタキシャル層の領域を拡大すると、拡散時間の大幅な削減のため、更に生産性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の製造工程を示す図。

【図2】本発明の第2実施例の製造工程を示す図。

【図3】本発明の第3実施例の構造を示す断面図。

【図4】本発明の第1実施例において、通常ベース拡散

11

とエビベースの場合におけるエミッターとベースの各半導体活性層の不純物濃度分布を説明するための図。

【図5】本発明の第3実施例において、各半導体活性層の不純物濃度分布を説明するための図。

【図6】本発明の第4実施例が適用された電源バックアップ回路を示す図。

【図7】図6中の破線部分100の断面構造を示す図。

【図8】プレーナ型構造の従来例を示す断面図。

【図9】メサ型構造の従来例を示す断面図。

【符号の説明】

20 …側面コレクター領域(拡散層)

21 …基板

22e …コレクター領域(エビ層)

23e …ベース(エビ層)

24d …エミッター(拡散層)

* 28d …反転防止層

30a, 30b …側面コレクター領域(拡散層)

31 …基板

32e …コレクター領域(エビ層)

33e …ベース(エビ層)

34d …エミッター(拡散層)

38d …反転防止層及びベースオームикコンタクト層

40 …側面コレクター領域(拡散層)

41 …基板

42e …コレクター領域(エビ層)

43e …ベース(エビ層)

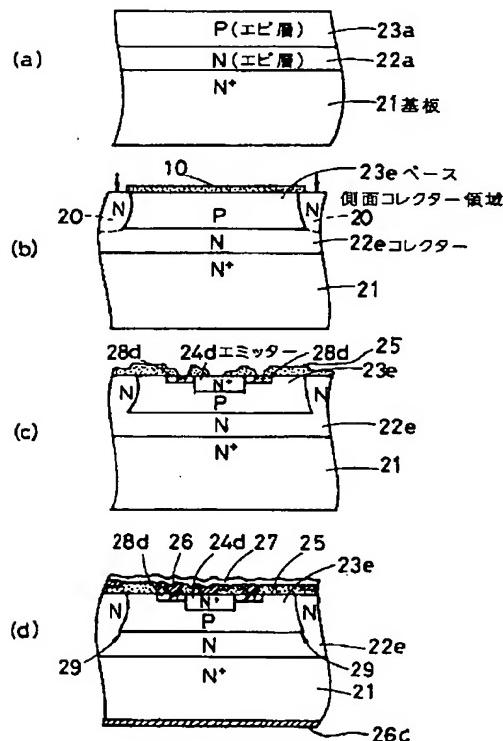
44d …エミッター(拡散層)

48d …反転防止層及びベースオームикコンタクト部

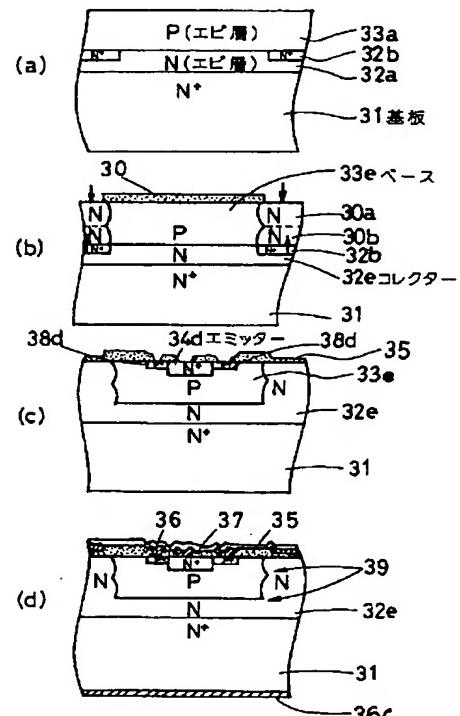
10

*

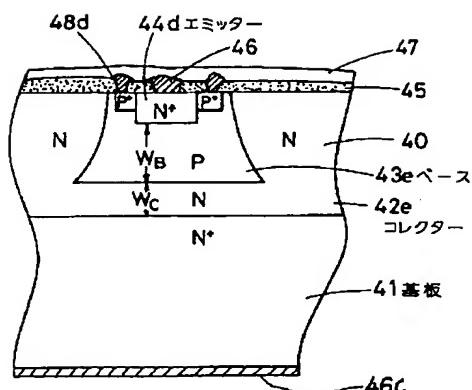
【図1】



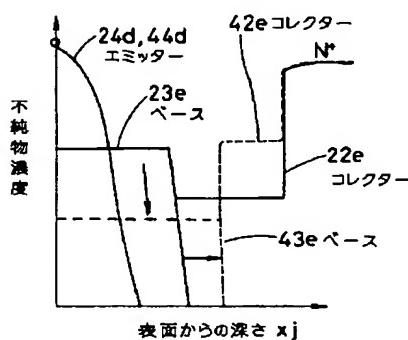
【図2】



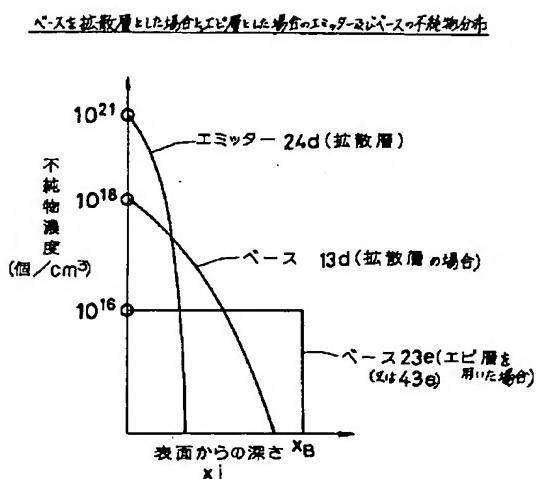
【図3】



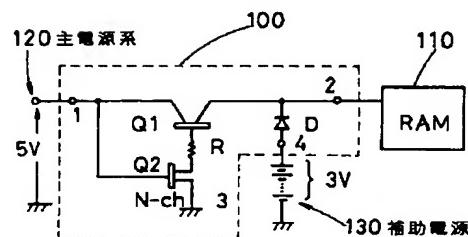
【図5】



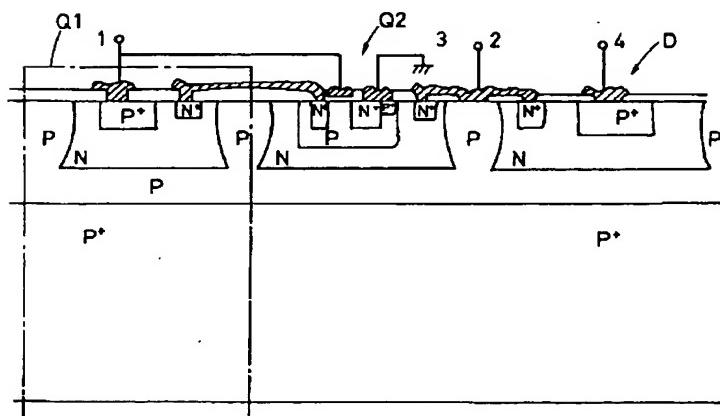
【図4】



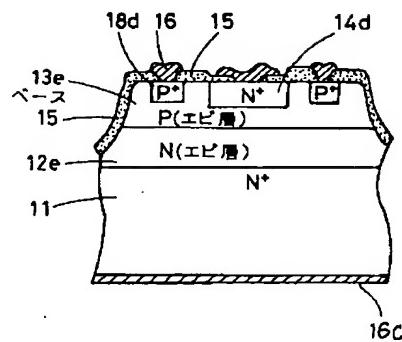
【図6】



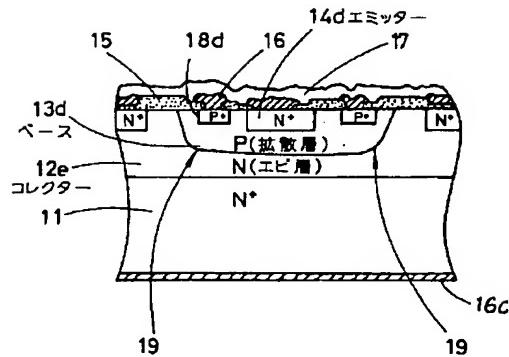
【図7】



【図9】



【図8】



【手続補正書】

【提出日】平成5年2月1日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】

